

**THIN-FILM POLYCRYSTALLINE SILICON, METHOD OF MANUFACTURING THE SAME
AND SILICON PHOTOELECTRIC CONVERSION ELEMENT**

Patent number: JP2002175983
Publication date: 2002-06-21
Inventor: MIYAHARA HIROOMI; MORITA SHOJI; HORIE TETSUHIRO
Applicant: MITSUBISHI HEAVY IND LTD
Classification:
- **International:** H01L21/20; C23C14/06; C23C14/14; C23C16/42; H01L21/203;
H01L21/205; H01L31/04
- **European:**
Application number: JP20000370376 20001205
Priority number(s): JP20000370376 20001205

Report a data error here**Abstract of JP2002175983**

PROBLEM TO BE SOLVED: To provide a thin-film polycrystalline silicon, with which a film can be formed uniformly on a large-area substrate and which has high crystallization rate, contains silicon crystals in a large grain size and is satisfactory in photoelectric converting properties, and to provide a method of manufacturing the same and a silicon photoelectric converter. **SOLUTION:** A material containing aluminium and a material containing silicon are allowed to act on the surface of a substrate, substantially at the same time in activated state, so that an Al-Si mixture film is formed on the substrate, and at least a part of the film is crystallized by a prescribed thermal treatment.

Data supplied from the **esp@cenet** database - Worldwide

(51) Int. Cl.⁷
 H01L 21/20
 C23C 14/06
 14/14
 16/42
 H01L 21/203

識別記号

F I
 H01L 21/20
 C23C 14/06
 14/14
 16/42
 H01L 21/203

テーマコード (参考)
 4K029
 L 4K030
 A 5F045
 5F051
 Z 5F052

審査請求 未請求 請求項の数18 O.L. (全10頁) 最終頁に続く

(21)出願番号 特願2000-370376(P 2000-370376)
 (22)出願日 平成12年12月5日(2000.12.5)

(71)出願人 000006208
 三菱重工業株式会社
 東京都千代田区丸の内二丁目5番1号
 (72)発明者 宮原 弘臣
 神奈川県横浜市金沢区幸浦一丁目8番地1
 三菱重工業株式会社基盤技術研究所内
 (72)発明者 森田 章二
 神奈川県横浜市金沢区幸浦一丁目8番地1
 三菱重工業株式会社基盤技術研究所内
 (74)代理人 100058479
 弁理士 鈴江 武彦 (外5名)

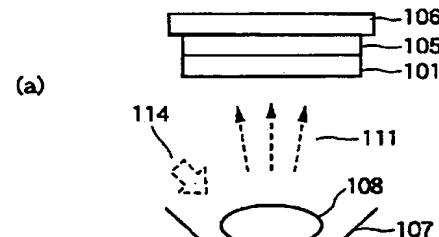
最終頁に続く

(54)【発明の名称】薄膜多結晶シリコン、薄膜多結晶シリコンの製造方法及びシリコン系光電変換素子

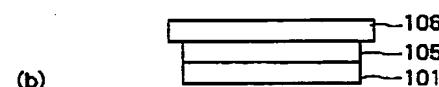
(57)【要約】

【課題】 大面積基板への均一成膜が可能であり、高結晶化率で大粒径のシリコン結晶を有する光電変換特性に優れた薄膜多結晶シリコン、薄膜多結晶シリコンの製造方法及びシリコン系光電変換素子を提供する。

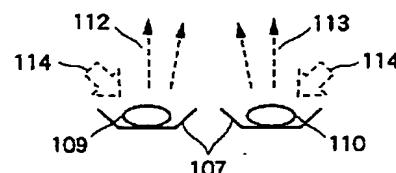
【解決手段】 アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させることにより基板上に成膜されたAl-Si混合膜であって、所定の熱処理により少なくとも一部が結晶化されている。



(a)



(b)



【特許請求の範囲】

【請求項1】 アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させることにより基板上に成膜されたA1-Si混合膜であって、所定の熱処理により少なくとも一部が結晶化されていることを特徴とする薄膜多結晶シリコン。

【請求項2】 前記A1-Si混合膜は、アルミニウムおよびシリコンを蒸着材料として用いる物理蒸着法により成膜され、5原子%以上50原子%以下のA1を含有し、かつ、成膜中に150°C以上500°C以下の温度域に前記A1-Si混合膜を加熱することにより結晶化されたシリコンを有することを特徴とする請求項1記載の薄膜多結晶シリコン。

【請求項3】 前記A1-Si混合膜は、アルミニウムおよびシリコンを蒸着材料として用いる物理蒸着法により成膜され、5原子%以上50原子%以下のA1を含有し、かつ、成膜後に150°C以上500°C以下の温度域に前記A1-Si混合膜を加熱することにより結晶化されたシリコンを有することを特徴とする請求項1記載の薄膜多結晶シリコン。

【請求項4】 前記A1-Si混合膜は、アルミニウムを含む原料ガスとシリコンを含む原料ガスとを用いる化学蒸着法により成膜され、5原子%以上50原子%以下のA1を含有し、かつ、成膜中に150°C以上500°C以下の温度域に前記A1-Si混合膜を加熱することにより結晶化されたシリコンを有することを特徴とする請求項1記載の薄膜多結晶シリコン。

【請求項5】 前記A1-Si混合膜は、アルミニウムを含む原料ガスとシリコンを含む原料ガスとを用いる化学蒸着法により成膜され、5原子%以上50原子%以下のA1を含有し、かつ、成膜後に150°C以上500°C以下の温度域に前記A1-Si混合膜を加熱することにより結晶化されたシリコンを有することを特徴とする請求項1記載の薄膜多結晶シリコン。

【請求項6】 前記A1-Si混合膜の表面に析出したアルミニウムをエッティングにより除去することを特徴とする請求項1乃至5のうちのいずれか1記載の薄膜多結晶シリコン。

【請求項7】 第1の層（結晶核層）として前記結晶質を有するA1-Si混合膜を有し、その上に第2の層として成膜されたシリコン薄膜を有することを特徴とする請求項1乃至6のうちのいずれか1記載の薄膜多結晶シリコン。

【請求項8】 前記第1の層（結晶核層）は、その膜厚が10nm以上1000nm以下の範囲にあり、体積結晶化率が70%以上であることを特徴とする請求項7記載の薄膜多結晶シリコン。

【請求項9】 A1含有量が 10^{18} 個 cm^{-3} 以上 10^{21} 個 cm^{-3} 以下であり、p型の半導体特性を示すことを特徴とする請求項1乃至5のうちのいずれか1記載の薄膜

多結晶シリコン。

【請求項10】 アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させてA1-Si混合膜を成膜するとともに、該A1-Si混合膜の成膜中または成膜後に所定の熱処理を施して少なくともその一部を結晶化させることを特徴とする薄膜多結晶シリコンの製造方法。

【請求項11】 アルミニウムおよびシリコンを蒸着材料として用いる物理蒸着法によりアルミニウム原料およびシリコン原料を同時に基板の表面に作用させ、A1含有量を5原子%以上50原子%以下とするA1-Si混合膜を基板上に成膜し、該A1-Si混合膜を成膜中に150°C以上500°C以下の温度域に加熱し、シリコンを結晶化させることを特徴とする請求項10記載の製造方法。

【請求項12】 アルミニウムおよびシリコンを蒸着材料として用いる物理蒸着法によりアルミニウム原料およびシリコン原料を同時に基板の表面に作用させ、A1含有量を5原子%以上50原子%以下とするA1-Si混合膜を基板上に成膜し、該A1-Si混合膜を成膜後に150°C以上500°C以下の温度域に加熱し、シリコンを結晶化させることを特徴とする請求項10記載の製造方法。

【請求項13】 アルミニウムを含む原料ガスとシリコンを含む原料ガスとを用いる化学蒸着法によりアルミニウム原料およびシリコン原料を同時に基板の表面に作用させ、A1含有量を5原子%以上50原子%以下とするA1-Si混合膜を基板上に成膜し、該A1-Si混合膜を成膜中に150°C以上500°C以下の温度域に加熱し、シリコンを結晶化させることを特徴とする請求項10記載の製造方法。

【請求項14】 アルミニウムを含む原料ガスとシリコンを含む原料ガスとを用いる化学蒸着法によりアルミニウム原料およびシリコン原料を同時に基板の表面に作用させ、A1含有量を5原子%以上50原子%以下とするA1-Si混合膜を基板上に成膜し、該A1-Si混合膜を成膜後に150°C以上500°C以下の温度域に加熱し、シリコンを結晶化させることを特徴とする請求項10記載の製造方法。

【請求項15】 前記A1-Si混合膜の表面に析出したアルミニウムをエッティングにより除去することを特徴とする請求項1乃至14のうちのいずれか1記載の製造方法。

【請求項16】 第1の層（結晶核層）として前記結晶質を有するA1-Si混合膜を成膜した後に、その上に第2の層としてシリコン薄膜を成膜することを特徴とする請求項10乃至15のうちのいずれか1記載の製造方法。

【請求項17】 A1含有量が 10^{18} 個 cm^{-3} 以上 10^{21} 個 cm^{-3} 以下であり、p型の半導体特性を示すことを

特徴とする請求項10乃至16のうちのいずれか1記載の製造方法。

【請求項18】アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させることにより基板上に成膜され、所定の熱処理により少なくとも一部が結晶化されたAl-Si混合膜を光電変換機能部分に有し、該Al-Si混合膜の膜厚が0.5μm以上10μm以下の範囲にあることを特徴とするシリコン系光電変換素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜多結晶シリコン、薄膜多結晶シリコンの製造方法及びシリコン系光電変換素子に関する。

【0002】

【従来の技術】非晶質シリコン膜は、200℃以下の低温でガラス、金属あるいはプラスチック等の安価な基板上に成膜することができ、かつ、大面積の成膜が可能であるため、この特徴を活かして非晶質シリコン系太陽電池における量産時の低コスト化が期待されている。

【0003】しかし、非晶質シリコン系太陽電池に光を照射すると光電変換層であるi層内に欠陥が発生し、光電変換効率が初期状態と比較して、1割から3割程度低下する光劣化現象が実用化上の大きな障害となっている。光劣化現象のメカニズムについては種々の研究が行われているにもかかわらず、完全には解明されていないため、抜本的な解決策も確立されていないのが現状である。

【0004】これに対して、近年、i型の光電変換層として非晶質シリコンの代わりに微結晶シリコンを用いる試みが報告されている(J. Meier et al., Mat. Res. Soc. Symp. Proc. Vol. 420, P3(1996))。これによると、周波数110MHzのVHF帯の電源を用いた高周波プラズマCVD法によりp-i-n型の光電変換素子を形成しており、非晶質シリコンのような光劣化現象を伴わないと報告されている。また、光電変換層として微結晶シリコンを用いた光起電力素子は、非晶質シリコンを用いた光起電力素子と比較して、分光感度スペクトルのピークが長波長側に存在するため、非晶質シリコンをトップセル、微結晶シリコンをボトムセルの光電変換層とする積層型の光起電力素子、いわゆるタンデム化も可能である。

【0005】

【発明が解決しようとする課題】微結晶シリコンを用いた光起電力素子は、基本的に従来と同様の構成のプラズマCVD法による成膜が可能であり、かつ光劣化現象を伴わないという長所がある。

【0006】微結晶化を促進するためには、高密度の水素ラジカルを発生させ、成長表面のダングリングボンドを終端させ、成膜に関与するラジカルの表面拡散を促進

させることが不可欠である。高密度プラズマを発生させるためには、従来の非晶質シリコンの成膜に用いられてきた周波数13.56MHzよりも周波数の高い電源、望ましくは100MHzレベルの超高周波帯(VHF)周波数を用いる必要がある。しかし、従来の平行平板型プラズマCVD法では、放電周波数の増大とともに放電電極内の電圧分布が急激に大きくなり、プラズマの局所的不均一を生じるため、大面積基板への均一な微結晶シリコンの成膜が極めて困難になるという問題がある。

10 【0007】また、微結晶シリコンの光吸収係数は、非晶質シリコンの光吸収係数よりも小さいため、光起電力素子として十分な光を吸収するためには、少なくとも膜厚2μm以上、望ましくは5μm以上の光電変換層が必要である。したがって、非晶質シリコン系の光起電力素子と同等の生産性を維持するためには、光電変換層の成膜速度を増大させる必要がある。微結晶シリコンを高速成膜するためには、成膜温度を高めるとともに、プラズマを発生させる高周波電力を高くする必要がある。このような条件で成膜する微結晶シリコンを光電変換層に用

20 いる光起電力素子では、光電変換層成膜中に下地のn層(またはp層)から、ドーピング元素であるリン(またはボロン)が光電変換層に拡散し、真性半導体としての特性が低下するという問題がある。

【0008】また、光電変換層成膜時の高周波電力を高くすると、核発生密度が高い成膜条件であるため、成膜の初期段階で発生した多数の結晶核が成長の過程で互いに干渉し、粒成長を阻害するため、結果的には微細な結晶粒の微結晶シリコンが形成される。微細な結晶粒の微結晶シリコンを光電変換層として用いた光起電力素子

30 は、多数存在する結晶粒界の影響のため、その光電変換特性は不十分である。

【0009】ところで、光電変換層として微結晶シリコンを用いる光起電力素子では、単結晶シリコンあるいはキャストシリコン等のバルク系シリコンを用いる光起電力素子と比較して多くの結晶粒界が存在する。結晶粒界の欠陥あるいは結晶粒界近傍の局所的歪みは、キャリアの走行性を低下させる原因となるため、微結晶シリコン内のキャリア拡散長は、バルク系シリコンよりも小さい。このため、微結晶シリコンを用いる光起電力素子

40 は、バルク系シリコンと比較して十分な光電変換特性が得られないという問題点がある。特に、核発生密度が高くなる条件で微結晶シリコンを成膜した場合、成膜の初期段階で発生した多数の結晶核が成長の過程で互いに干渉し、粒成長を阻害するため、結果的には微細な結晶粒の微結晶シリコンが形成される。微細な結晶粒の微結晶シリコンを光電変換層として用いた光起電力素子は、結晶粒界の影響のため、その特性は不十分である。

【0010】本発明は上記課題を解決するためになされたものであって、大面積基板への均一成膜が可能であり、高結晶化率で大粒径のシリコン結晶を有する光電変

換特性に優れた薄膜多結晶シリコン、薄膜多結晶シリコンの製造方法及びシリコン系光電変換素子を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る薄膜多結晶シリコンは、アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させることにより基板上に成膜されたA1-Si混合膜であって、所定の熱処理により少なくとも一部が結晶化されていることを特徴とする。

【0012】本発明に係る薄膜多結晶シリコンの製造方法は、アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させてA1-Si混合膜を成膜するとともに、該A1-Si混合膜の成膜中または成膜後に所定の熱処理を施して少なくともその一部を結晶化させることを特徴とする。

【0013】上記A1-Si混合膜の成膜中あるいは成膜後に150℃以上500℃以下の温度域に同時に加熱することが好ましい。このような成膜と同時進行する熱処理により、結晶性が高く、かつ大粒径の薄膜多結晶シリコン膜が得られる。なお、成膜中に同時加熱することができない半導体デバイスの製造においては、成膜後にA1-Si混合膜を上記温度域に加熱することが望ましい。

【0014】特に成膜と同時に加熱することにより成膜プロセスが簡易化される長所を有する。

【0015】加熱温度が150℃を下回ると、アモルファス状態にあるA1Si混合膜中のシリコンの結晶化が十分に促進されなくなるので、その下限値を150℃とした。一方、加熱温度が500℃を上回ると、ガラス等の安価な基板を用いることができなくなるため製造コストが高くなり経済的に問題を生ずるため、その上限値を500℃とした。

【0016】上記A1-Si混合膜は、アルミニウムおよびシリコンを原料に用いる物理蒸着法又は化学蒸着法により成膜され、5原子%以上50原子%以下のA1を含有することが好ましい。A1含有量が5原子%を下回ると、加熱によるシリコン結晶化の結晶化率が低下するので、その下限値を5原子%とした。一方、A1含有量が50原子%を上回ると、成膜成分が基板表面に付着し難くなり、斑状(島状)に凝集して膜とならないので、その上限値を50原子%とした。

【0017】ここで、物理蒸着法とは成膜成分(A1とSi)が基板の表面に対して主に物理的な作用力で付着堆積される方法のことをいう。物理蒸着法には例えばスパッタ法、真空蒸着法、イオンプレーティング法などがある。また、化学蒸着法とは成膜成分(A1とSi)が基板の表面に対して主に化学的な反応力で付着堆積される方法のことをいう。化学蒸着法には例えばプラズマCVD法、熱CVD法、光CVD法、MOCVD法、反応

性イオンプレーティング法などがある。

【0018】図1(a)に予備混合供給方式、図1(b)に個別供給方式を示す。予備混合方式では、ハース107にあらかじめアルミニウムとシリコンを混合した混合蒸着材料108をセットする。基板101は基板ホルダ105にセットし、ヒータ106に接触するように設置する。基板としてはガラス基板、金属板、プラスチック、半導体等で加熱に耐え得ることができる材料であれば良い。その後、蒸着装置内を真空排気する。混合蒸着材料108に

10 電子ビーム114を照射して加熱することにより、アルミニウム及びシリコンを含む混合蒸気111が生成され、これが基板101に付着することによりA1-Si混合膜103が形成される。混合蒸着材料108は、アルミニウム1に対し、シリコンを1.5~35とすれば、A1-Si混合膜103内のアルミニウムの含有量を上述の5原子%以上50原子%とすることができます。個別供給方式では、2つ設けたハース107に別々にアルミニウム蒸着材料109及びシリコン蒸着材料110をセットし、それぞれに電子ビーム114を照射して加熱することによりA1-Si混合膜103が

20 形成される。指標として、アルミニウム及びシリコンの単独での蒸着速度を予め測定しておき、この比を取ってそれぞれの蒸着材料の蒸着速度を制御すれば良い。蒸着速度の比としては、アルミニウムの蒸着速度を1とすれば、シリコンの蒸着速度を1から9とすれば、A1-Si混合膜103内のアルミニウムの含有量を上述の5原子%以上50原子%とすることができます。このようにアルミニウムとシリコンを別々に蒸着することによりA1-Si混合膜103中の混合比を高精度に制御することができる。

30 【0019】このとき、混合蒸着材料108の加熱には電子ビーム加熱の代わりに、ポートを用いた抵抗加熱あるいは誘導加熱を用いても良い。

【0020】また、上述のようにA1-Si混合膜103の蒸着と同時にヒータ106より基板加熱を行っても良いし、蒸着後に加熱を行っても良い。

【0021】図2の工程S1からS3に成膜後に加熱を行う工程を示す。工程S1では基板101上に成膜されたA1-Si混合膜103を示す。工程S2で、この基板101とA1-Si混合膜103を加熱ヒータ上に設置し、150℃以上500℃以下の加熱温度で加熱する。加熱は真空中あるいは不活性ガス中で行うことが好ましい。シリコンの結晶化に適した加熱時間は加熱温度によって異なるが、加熱温度を高くすることにより加熱時間を短縮することができる。工程S2の加熱により、A1-Si混合膜103中でシリコンの結晶化が進み、同時に表面析出アルミニウム104が析出してくる(工程S3)。蒸着と同時に加熱を行う場合には、A1-Si混合膜103の成膜とともにこれらの工程が進行する。

【0022】図2の工程S4からS5に示すように、熱処理後において、A1-Si混合膜の表面に析出したア

ルミニウムをエッチングにより除去することが好ましい。表面析出アルミニウムは、Al-Si混合膜の光電変換率を低下させるからであり、Al-Si混合膜上にさらにシリコン膜を成膜する際に高い結晶性を保ったまま積層させることができないからである。エッチングはドライエッチング法およびウェットエッチング法のいずれであってもよい。ドライエッチング法の場合は反応性イオンエッチングを用いることが望ましい。ウェットエッチング法の場合はリン酸を含むエッチング液、例えばリン酸、硝酸、酢酸を水に希釈混合した三種混合酸溶液を用いることが好ましい。表面析出アルミニウムの厚さは、Al-Si混合膜のアルミニウム含有量と膜厚と強く依存している。通常、アルミニウム含有量が増加すればするほど、また、Al-Si混合膜の膜厚が厚くなればなるほど表面析出アルミニウムの厚さが厚くなるので、これのエッチング除去効果が顕著に現われる。

【0023】以上の工程により、比較的低温でシリコンを結晶化させることが可能となり、結晶性が高く大粒径の薄膜多結晶シリコンを低成本で得ることができる。

【0024】図3にスパッタ法による成膜方法について示す。図3の(a)に予備混合供給方式を示し、図3の(b)に個別供給方式を示す。

【0025】予備混合方式では、高周波電極211上にあらかじめアルミニウムとシリコンを混合したアルミニウム/シリコン混合ターゲット208をセットする。基板101は基板ホルダ205にセットし、ヒータ206に接触するように設置する。基板としてはガラス基板、金属板、プラスチック、半導体等で加熱に耐え得る材料であれば良い。その後、スパッタ装置内を真空排気する。ついで、ガス導入口よりアルゴンガスを高周波スパッタ装置内に導入する。高周波電極211にコンデンサ212を通して電源213から高周波電力を供給し、アルゴンプラズマ207を発生させる。アルゴンプラズマ207中のアルゴンイオンがターゲット208方向に加速され、ターゲット208をスパッタすることによりアルミニウムとシリコンがアルゴンプラズマ207中に拡散し、このプラズマ207が基板101の表面に接することによりAl-Si混合膜103が成膜される。アルミニウム/シリコン混合ターゲット208中のアルミニウムとシリコンの混合比を調整すれば、Al-Si混合膜103内のアルミニウムの含有量を上述の5原子%以上50原子%とすることができます。個別供給方式では、2つ設けた高周波電極211に別々にアルミニウムターゲット209及びシリコンターゲット210をセットし、それぞれにコンデンサ212を通して電源213から高周波電力を供給し、アルゴンプラズマ207を発生させることにより、Al-Si混合膜103が成膜される。このとき、電源213から供給される高周波電力をアルミニウムターゲット側を1とするのに対して、シリコンターゲット側を0.8から8までの範囲とすることによりAl-Si混合膜103内のアルミニウムの含有量を上述の5原子%以

上50原子%とすることができます。

【0026】このとき、スパッタ法には高周波スパッタ法を用いても良いし、直流スパッタ法を用いても同様の成膜が可能である。

【0027】さらに、上述の蒸着法と同様に成膜中及び成膜後の加熱、表面析出アルミニウムのエッチングを行うことも可能である。

【0028】図4に化学蒸着法におけるプラズマCVD法を示す。基板101は基板ホルダ305にセットし、ヒータ10

306に接触するように設置する。基板としてはガラス基板、金属板、プラスチック、半導体等で加熱に耐え得る

ことができる材料であれば良い。その後、化学蒸着装置内を真空排気する。ついで、ガス導入口よりアルミニウム原料ガス、シリコン原料ガスを導入する。さらに、これらの混合ガスに水素を合わせて導入することも可能である。アルミニウム原料となるソースガスは、一般的にはAl(C₂H₅)₃、Al(CH₃)₃などの有機系ガスを用いることが好ましいが、塩化アルミニウム(AlCl₃)やAlH₃のような無機系ガスを用いることもできる。

20 また、シリコン原料となるソースガスには水素化珪素ガス、塩素化珪素ガス、例えばシランやジシランを用いることが好ましい。アルミニウム原料ガスに対するシリコン原料ガスの流量比は50%から99%の範囲にすることが好ましい。さらに、装置内の圧力は特に規定する

ものではないが、プラズマが均一に発生する条件とする必要がある。例えば高周波プラズマCVD法では5mTorr以上10Torr以下にすることが好ましい。高周波電極308にコンデンサ309を通して電源310から高周波電力を供給し、プラズマ307を発生させる。このプラズマ307が基板101の表面に接することによりAl-Si混合膜103が成膜される。アルミニウム原料ガスとシリコン原料ガスの混合比を調整すれば、Al-Si混合膜103内のアルミニウムの含有量を上述の5原子%以上50原子%とすること

30 ができる。

【0029】このとき、プラズマ307の発生に容量結合型の高周波プラズマ法を用いたが、誘導結合型プラズマ法、電子ビーム励起プラズマ法、電子サイクロトロン共鳴プラズマ法、直流プラズマ法等を用いても良い。

【0030】さらに、上述の蒸着法と同様に成膜中及び成膜後の加熱、表面析出アルミニウムのエッチングを行うことも可能である。

【0031】図5にシリコン系光電変換素子の模式図を示す。本発明に係るシリコン系光電変換素子は、アルミニウムを含む原料とシリコンを含む原料とを活性化状態で実質的に同時に基板の表面に作用させることにより基板上に成膜された薄膜多結晶シリコン層を有する光電変換素子であり、膜厚が0.5μm以上10μm以下の範囲にあることを特徴とする。

【0032】なお、第1の層(結晶核層)として結晶質を有するAl-Si混合膜を有し、その上に第2の層と

40

50

して成膜されたシリコン薄膜を有することが好ましい。この場合に、第1の層（結晶核層）は、その膜厚が10 nm以上1000 nm以下の範囲にあり、体積結晶化率が70%以上であることが好ましい。第1の層の膜厚が10 nmを下回るとp型半導体層として機能しなくなるので、その下限値を10 nmとした。一方、第1の層はp-i-n接合のうちのp層としてi層よりも厚くしてもメリットがないので、膜厚の上限値を1000 nmとした。

【0033】また、上記A1-Si混合膜は、A1含有量が10¹¹以上10¹²個cm⁻³以下であり、p型の半導体特性を示すことが好ましい。A1含有量が10¹¹個cm⁻³を下回ると、p型半導体の動作特性を示さなくなるので、その下限値を10¹¹個cm⁻³とした。一方、A1含有量が10¹²個cm⁻³を上回ると、膜中の欠陥が増加し、電気伝導の機能が低下するため、その上限値を10¹²個cm⁻³とした。

【0034】光電変換素子の膜厚は0.5 μm以上10 μm以下の範囲とすることが好ましい。膜厚が0.5 μmを下回ると、光電変換層での光吸収が小さくなり発電効率が低下するので、その下限値を0.5 μmとした。一方、膜厚が10 μmを上回ると、成膜に時間が掛かり、製造コストが高くなる欠点を有するので、上限値を10 μmとした。

【0035】

【発明の実施の形態】以下、添付の図面を参照して本発明の種々の好ましい実施の形態について説明する。

【0036】（実施例1；真空蒸着法）図1及び図2を参照しながら実施例1について説明する。本実施例1では真空蒸着法を用いてシリコン基板上に薄膜多結晶シリコンを成膜した。実施例1では予備混合供給方式（図1の（a））を用いた。

【0037】真空蒸着装置の基板ホルダ105に厚さ1.1 mmのガラス基板101をセットし、ヒータ106に接触するように設置した。ハース107にはアルミニウムとシリコンの混合蒸着材料108をセットした。本実施例では混合蒸着材料108のアルミニウムの混合比は0重量%から50重量%とした。その後、真空蒸着装置内を10⁻⁶ Torr以下に予備排気した。真空排気後、ハース107内の混合蒸着材料108に電子ビーム114を照射し、蒸着材料108を加熱して基板101の表面上にA1-Si混合膜103を成膜した。本実施例では、成膜中に基板の加熱は行わなかった。成膜後、基板101を真空から取り出した。A1-Si混合膜103の膜厚は440 nmから6500 nmの範囲であった。また、A1-Si混合膜中のアルミニウム混合比を二次イオン質量分析法及びX線光電子分光法により測定したところ、0原子%から21原子%までであった。

【0038】さらにA1-Si混合膜103を加熱処理するに、真空装置内にある加熱ヒータ115に接触する

ように基板101を設置した。真空装置内を真空排気し、真空度を1×10⁻⁶ Torr以下にした。加熱ヒータ115により基板を150℃から375℃に加熱した。加熱時間は5分から60分までとした。この加熱処理により基板101上のA1-Si混合膜103中のシリコンは結晶化し、薄膜多結晶シリコン膜102が形成された。さらに、表面析出アルミニウム104が析出し、積層体100が形成された（図2：工程S1～S3）。

【0039】その後、薄膜多結晶シリコン膜102上に析出したアルミニウム104を除去するためにエッチングを行った。積層体100を50℃に加熱したリン酸、硝酸、酢酸、純水の混合溶液に浸してエッチングを行った。リン酸：硝酸：酢酸：純水=16:1:1:2の割合で混合した。エッチング後、積層体100を溶液から引き上げ、純水洗浄し、乾燥させると、基板101上に薄膜多結晶シリコン膜102のみが存在する積層体100が得られた（図2：工程S4～S5）。

【0040】図6にA1-Si混合膜103中のアルミニウムの混合比とラマン比との関係を、図7にA1-Si混合膜103の加熱温度とラマン比との関係を、図8にA1-Si混合膜103の加熱時間とラマン比との関係をそれぞれ示す。ここで、ラマン比とは、薄膜多結晶シリコン膜102をラマン散乱分光測定した場合における520 cm⁻¹の信号強度に対する480 cm⁻¹の信号強度の比をいい、薄膜多結晶シリコン膜102の結晶化率を示すものである。また、薄膜多結晶シリコン膜102を断面透過電子顕微鏡観察した結果、シリコン膜中のシリコンの結晶の粒径は約500 nm程度のものであった。

【0041】（実施例2；スパッタ法）次に図3（a）及び図2を参照しながら実施例2について説明する。

【0042】本実施例2ではスパッタ法を用いて成膜中に基板加熱を行なながらA1-Si混合膜を成膜した。

【0043】高周波電極211上にA1-Si混合ターゲット208を設置した。本実施例ではA1-Si混合ターゲット208中のアルミニウム混合比は6原子%、20原子%および35原子%のものを用いた。基板101はガラス基板を用いた。基板101は基板ホルダ205にセットして、ヒータ206に接触するように設置した。成膜前に高周波スパッタ装置内を3×10⁻⁶ Torr以下に予備排気した。

【0044】次いで、ガス導入口よりアルゴンガスを高周波スパッタ装置のチャンバ内に導入した。チャンバ内圧は0.75×10⁻³ Torrに調整した。高周波電極211にコンデンサ212を通して電源213から高周波電力を供給し、アルゴンプラズマ207を発生させた。これにより、A1-Si混合ターゲット208からアルミニウムとシリコンがスパッタされて基板101表面上にA1-Si混合膜103が成膜された。成膜はヒータ206より基板を375℃に加熱しながら行った。

【0045】この加熱処理により成膜と同時に膜中のアルミニウムとシリコンとが反応し、シリコンの結晶化が

進行した。シリコン結晶化の進行に伴い基板101側に薄膜多結晶シリコン102が形成されるとともに、表面側にはアルミニウム104が析出し、積層体100が形成された(図2:工程S3)。

【0046】成膜後、スパッタ装置から積層体100を取り出し、全ての表面析出アルミニウム104が除去されるまでエッティングを行い、薄膜多結晶シリコン102を積層体100の表面に露出させた。エッティングは実施例1と同様の方法で行った。これにより析出アルミニウム104が存在しない積層体100、すなわち基板101上に薄膜多結晶シリコン102のみが存在する積層体100が得られた(図2:工程S4～S5)。

【0047】図10にターゲット208中のアルミニウム混合比と薄膜多結晶シリコン膜102のラマン比の相関を示す。また、薄膜多結晶シリコン膜102のシリコン粒径は約500nmであった。

【0048】このように本実施例によれば、低い温度域でシリコンを結晶化させることができるとおり、結晶性が高く大粒径の薄膜多結晶シリコンを低成本で得ることができた。

【0049】また、本実施例ではスパッタ法によりA1-Si成膜中に同時に基板加熱処理を行ったが、成膜後に加熱処理を行っても同様の結果が得られた。

【0050】(実施例3:プラズマCVD法)図4及び図2を参照しながら実施例3について説明する。

【0051】本実施例ではプラズマCVD法による成膜中にA1-Si混合膜を同時に加熱処理した例を示す。基板101を基板ホルダ305により保持し、基板加熱用のヒータ306に接触するように設置し、高周波プラズマCVD装置のチャンバ内を 5×10^{-7} Torr程度まで排気した。成膜用の原料ガスとしてシラン(SiH₄)、水素(H₂)、塩化アルミニウム(A1Cl₄)を用いた。シラン、水素、塩化アルミニウムの流量はマスフローコントローラ(図示せず)を介してそれぞれ、7sccm、300sccm、10sccmに制御して供給した。本実施例では、水素に対するシランの流量比が1.2%、塩化アルミニウムに対するシランの流量が70%となる。また、成膜槽内の圧力は0.5Torrに保持した。

【0052】電極308にコンデンサ309を通して高周波電源310から高周波電力を供給し基板301を設置したヒータ兼接地電極306と高周波電極308との間に放電プラズマ307を発生させる。プラズマ307が生成されることにより原料ガスが分解され、活性種

(ラジカル)が生成され、このラジカルが基板101の表面に到達して付着することによりA1-Si混合膜が形成された。同時にヒータ電極306により基板101を375℃に加熱した。この加熱処理によりA1-Si混合膜中のアルミニウムとシリコンとが反応し、シリコンの結晶化が進行した。シリコンの結晶化の進行に伴い基板101側に薄膜多結晶シリコン102が形成されるととも

に、表面側にはアルミニウム104が析出した(図2:工程S1～S3)。これにより積層体100が形成された。

【0053】成膜後、プラズマCVD装置から積層体100を取り出し、これをエッティング装置に搬入した。エッティングは実施例1の例と同様に行った。これにより析出アルミニウム104が存在しない積層体100、すなわち基板101上に薄膜多結晶シリコン102のみが存在する積層体100が得られる(図2:工程S4～S5)。

【0054】本実施例の結果、薄膜多結晶シリコン膜102のラマン比は6.0を示した。また、薄膜多結晶シリコン膜102中のシリコン粒径は約500nmであった。

【0055】本実施例によれば、薄膜多結晶シリコンの製造において、アルミニウムを含んだガスソースとシリコンを含んだガスソースを同時に供給して高周波プラズマCVD法でアルミニウム-シリコン混合膜を成膜すると同時に、加熱処理することにより、シリコンを結晶化させることができるとおり、低温で安価に結晶性が高く大粒径の薄膜多結晶シリコンを得ることができた。

【0056】(実施例4:シリコン系光電変換素子の製造)次に、図5を参照しながら薄膜多結晶シリコンを有するシリコン系光電変換素子の製造について説明する。

【0057】上記の実施例1～3の方法で作製した薄膜多結晶シリコンは、アルミニウムが $10^{18} \sim 10^{21}$ cm⁻³混入しドーピング不純物として作用するために、p型の半導体特性を示す。この薄膜多結晶シリコンは、光電変換素子ではp層としてあるいは下地の結晶核層として用いることができる。結晶性の高く大粒径の薄膜多結晶シリコンを多結晶シリコン形成のための結晶核層として用いることで、その上に成膜されるシリコンの粒径の増大や結晶品質向上に寄与させることができる。

【0058】本実施例では下地の結晶核層として用いる場合について説明する。ガラス基板401上に透明導電膜402を熱CVD法により成膜する。透明電極膜402にはSnO_x(酸化錫)、ZnO(酸化亜鉛)、ITO(インジウム錫酸化膜)等を用いる。透明電極膜402を成膜したガラス基板401の透明電極膜402側に上記実施例1～3のうちいずれかの手法で薄膜多結晶シリコン403を成膜する。ここで、熱処理により表面に析出してくるアルミニウムをエッティングにより除去した。また、薄膜多結晶シリコン403の膜厚としては10nm以上1000nm以下のものを用いた。さらに、体積結晶化率が70%以上のものを用いた。

【0059】次いで、薄膜多結晶シリコン403上に、薄膜多結晶シリコン403と同じ導電型を持つ薄膜多結晶シリコンp層404をプラズマCVD法により成膜した。原料ガスはシラン、水素を用いドーピングガスとしてジボラン(B₂H₆)等を用いた。プラズマは容量結合型高周波プラズマ法を用いた。

【0060】このように結晶性の高い薄膜多結晶シリコン403上に成膜することにより、下地となった薄膜多結晶シリコン膜102の高い結晶性を引き継ぎ、結晶品質のよい多結晶シリコンp層404を得ることができた。ここでのドーピングガスの濃度は作製される多結晶シリコンp層404のドーピング不純物濃度が薄膜多結晶シリコン403に含まれるドーピング不純物濃度よりも少なくすることによりBack-Surface-Field (BSF) 効果を得ることができ光電変換素子の光電変換効率の向上に寄与することができると考えられる。

【0061】さらにプラズマCVD法で原料ガスにシランおよび水素を用いて多結晶シリコンi層405を、その後同様に原料ガスとしてシラン、水素、ドーピングガスとしてホスフィン(PH_3)等を用い、多結晶シリコンn層406を成膜した。多結晶シリコンi層、多結晶シリコンn層でも同様に成膜する下地に結晶性が高く大粒径の多結晶シリコンを用いているために、結晶性が高く大粒径かつ結晶品質の高いシリコン発電層を得ることが可能であったさらに多結晶シリコンn層406の上に透明導電膜407を成膜し、電力の取り出し電極として金属電極膜408として例えばアルミニウム膜を成膜して光電変換素子を作成した。多結晶シリコンi層405の膜厚は0.5 μm ~8 μm 程度が良いが、本実施例では8 μm とした。多結晶シリコンn層406の膜厚は0.01 μm ~0.5 μm 程度が良いが、本実施例では0.03 μm とした。

【0062】その結果、薄膜多結晶シリコン膜102を用いずに作成した光電子変換素子に対して、約1.5倍の変換効率を持つ光電変換素子を作成することができた。この様にして作製された光電変換素子は、シリコンの結晶粒径が大きく膜中の欠陥を少なくすることが可能となり、シリコン結晶粒の界面でのキャリア再結合を抑制し、キャリアの拡散長が大幅に長くなるため、光電変換効率を向上させることができたと考えられる。

【0063】このように、本実施例によれば薄膜多結晶シリコンの上に順に多結晶シリコンp層、多結晶シリコンi層、多結晶シリコンn層、透明導電膜、金属電極膜を成膜することにより、結晶性が高く大粒径のシリコン発電膜を得ることができ、高光電反応効率の光電変換素子を作製することができた。

【0064】

【発明の効果】本発明によれば、大面積基板に対して膜厚均一性に優れた成膜が可能であり、高結晶化率で大粒径のシリコン結晶を有する薄膜多結晶シリコンを得ることができる。本発明の薄膜多結晶シリコンを有する光電変換素子は、光電変換特性に優れているとともに、コストで製造することができる。

【図面の簡単な説明】

【図1】(a)は本発明の薄膜多結晶シリコンの製造方

法(単一蒸発源の真空蒸着法)に用いた装置を模式的に示す概略構成図、(b)は本発明の薄膜多結晶シリコンの製造方法(複数蒸発源の真空蒸着法)に用いた他の装置を模式的に示す概略構成図。

【図2】本発明の薄膜多結晶シリコンの製造方法を示す工程図。

【図3】(a)は本発明の薄膜多結晶シリコンの製造方法(単一ターゲットのスパッタ法)に用いた装置を模式的に示す概略構成図、(b)は本発明の薄膜多結晶シリ

10 コンの製造方法(複数ターゲットのスパッタ法)に用いた他の装置を模式的に示す概略構成図。

【図4】本発明の薄膜多結晶シリコンの製造方法に用いる化学蒸着装置を模式的に示す概略構成図。

【図5】本発明の薄膜多結晶シリコンを有する光電変換素子を示す断面図。

【図6】実施例1による薄膜多結晶シリコン膜のA1混合比とラマン比の相関図。

【図7】実施例1による薄膜多結晶シリコン膜の加熱温度とラマン比の相関図。

20 【図8】実施例1による薄膜多結晶シリコン膜の加熱時間とラマン比の相関図。

【図9】実施例2による薄膜多結晶シリコン膜のターゲット中のA1混合比とラマン比の相関図。

【符号の説明】

101…基板、

102…薄膜多結晶シリコン、

103…A1-Si混合膜、

104…表面析出アルミニウム、

105, 205, 305…基板ホルダ、

30 106…ヒータ、

107…ハース、

108…A1/Si混合蒸着材料、

109…A1蒸着材料、

110…Si蒸着材料、

111…A1/Si混合蒸気、

112…A1蒸気、

113…Si蒸気、

114…電子ビーム、

115, 214…加熱ヒータ、

40 121…サセプタ、

122…シャワー電極、

123…プラズマ、

206…ホットプレート、

207…アルゴンプラズマ、

208…A1/Si混合ターゲット、

209…A1ターゲット、

210…Siターゲット、

211…高周波電極、

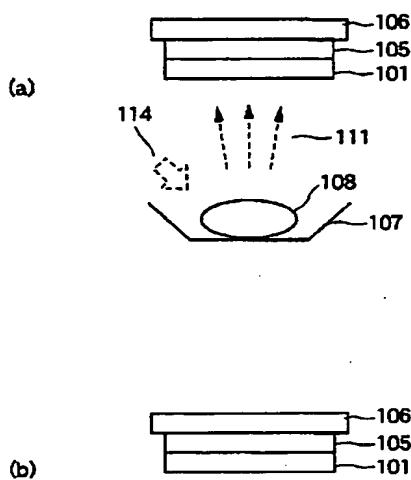
212…コンデンサ、

213…高周波電源、

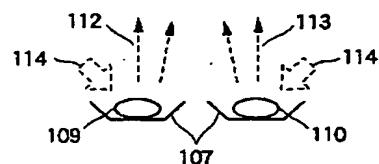
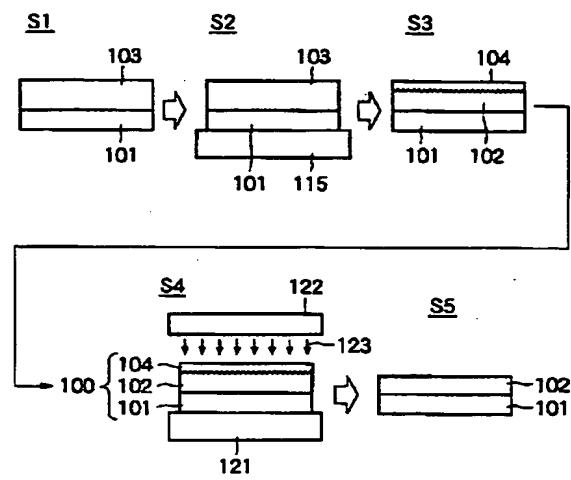
3 0 6…基板ヒータ（接地電極）、
 3 0 7…プラズマ、
 3 0 8…高周波電極、
 3 0 9…コンデンサ、
 3 1 0…高周波電源、
 3 1 1…加熱ヒータ、
 4 0 1…ガラス基板、

4 0 2…透明電極膜、
 4 0 3…薄膜多結晶シリコン、
 4 0 4…多結晶シリコンp層、
 4 0 5…多結晶シリコンi層、
 4 0 6…多結晶シリコンn層、
 4 0 7…透明電極膜、
 4 0 8…金属電極膜。

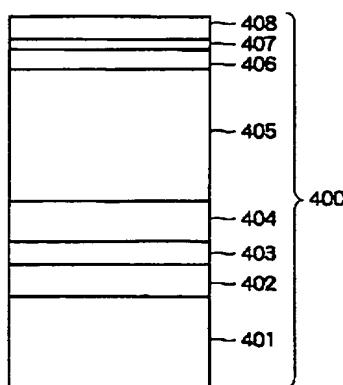
【図1】



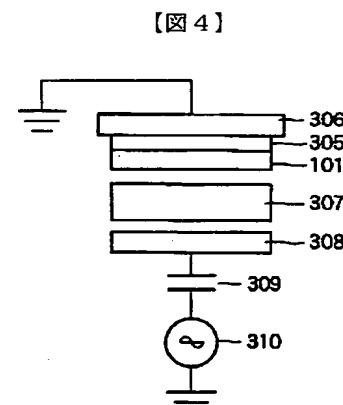
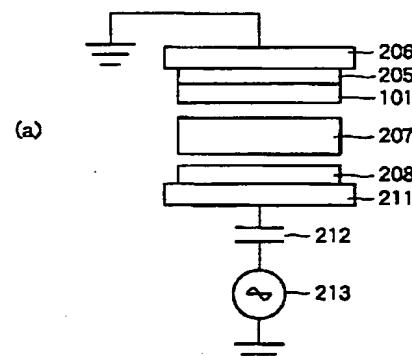
【図2】



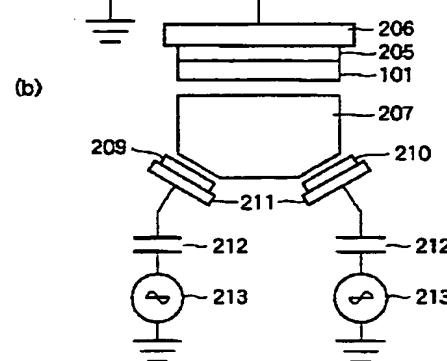
【図5】



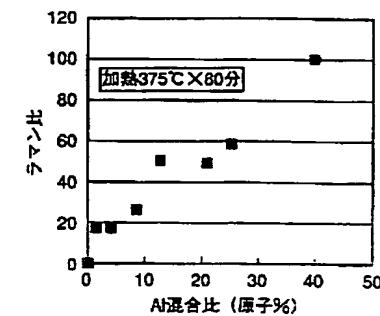
【図3】



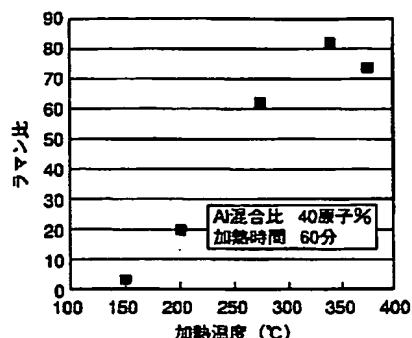
【図4】



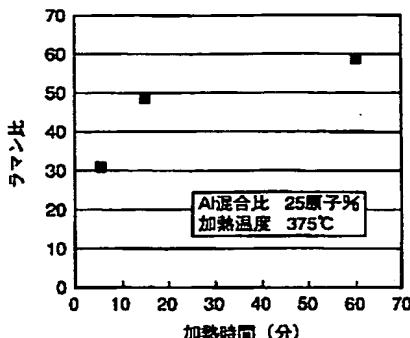
【図6】



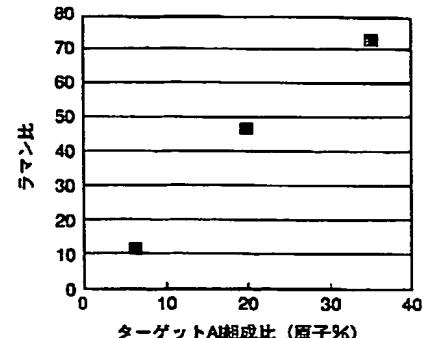
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.CI.⁷

H 0 1 L 21/205
31/04

識別記号

F I

H 0 1 L 21/205
31/04

テーマコード (参考)

5 F 1 0 3
X

(72) 発明者 堀江 哲弘

神奈川県横浜市金沢区幸浦一丁目8番地1
三菱重工業株式会社基盤技術研究所内

F ターム (参考) 4K029 AA09 BA23 BA35 BB02 BD00
CA01 CA05 DC04 EA01 EA08
GA00
4K030 AA03 AA06 AA17 BA02 BA29
BB13 DA08 FA03 HA03 HA04
JA01 JA10 LA16
5F045 AA03 AA04 AA08 AA10 AA11
AA18 AA19 AB03 AB30 AC01
AC03 AC08 AC09 AE15 AE17
AE19 AE21 AE23 AF01 AF07
AF10 BB02 BB07 BB08 BB12
CA13 DQ08 EE12 EH09 EH11
EH13 EK02 EK05 EK20 HA12
HA16
5F051 AA03 AA16 CB12 CB21 CB24
CB29 DA04
5F052 AA17 CA04 CA07 DA08 DB03
DB08 DB10 JA08 JA09
5F103 AA01 AA02 AA08 AA10 BB05
BB09 BB22 DD16 DD28 HH03
HH04 HH05 LL04 PP03 PP06
RR03 RR08